

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

10056842

Basic Patent (No,Kind,Date): JP 3171716 A2 910725 <No. of Patents: 001>

THIN FILM SEMICONDUCTOR (English)

Patent Assignee: RICOH KK; RICOH GEN ELECTRON RES INST

Author (Inventor): IRINODA MITSUGI; HINO TAKESHI; SATO YUKITO; OTAKA KOICHI

IPC: \*H01L-021/20; H01L-021/263; H01L-021/336; H01L-029/784

CA Abstract No: 115(24)268600F

Derwent WPI Acc No: G 91-262746

JAPIO Reference No: 150412E000117

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 3171716	A2	910725	JP 89311046	A	891130 (BASIC)

Priority Data (No,Kind,Date):

JP 89311046 A 891130

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

03508816      \*\*Image available\*\*

THIN FILM SEMICONDUCTOR

PUB. NO.:      **03-171716** [JP 3171716 A]

PUBLISHED:      July 25, 1991 (19910725)

INVENTOR(s):   IRINODA MITSUGI

                 HINO TAKESHI

                 SATO YUKITO

                 OTAKA KOICHI

APPLICANT(s): RICOH CO LTD [000674] (A Japanese Company or Corporation), JP

                 (Japan)

                 RICOH RES INST OF GEN ELECTRON [488199] (A Japanese Company  
                 or Corporation), JP (Japan)

APPL. NO.:      01-311046 [JP 89311046]

FILED:           November 30, 1989 (19891130)

INTL CLASS:      [5] H01L-021/20; H01L-021/263; H01L-021/336; H01L-029/784

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS)

JOURNAL:           Section: E, Section No. 1124, Vol. 15, No. 412, Pg. 117,  
                 October 21, 1991 (19911021)

#### ABSTRACT

**PURPOSE:** To prevent the etching of a transparent quartz substrate, when a surface protecting layer consisting of silicon oxide is etched and removed, to prevent deterioration of the transparency thereof by interposing a silicon nitride layer and a silicon oxide layer between the transparent quartz glass substrate and a monocrystalline silicon layer.

**CONSTITUTION:** A silicon nitride film 202 and a silicon oxide film 203 are formed in this order on a substrate 201 by using a low pressure chemical vapor growth device. A silicon layer 204 is formed on this silicon oxide layer and processed to form stripe pattern. Then, a silicon oxide film 205 is formed thereon to provide a surface protecting layer when melting and recrystallization are carried out. Next, this polycrystalline silicon film 204 is formed into a single crystal. After the formation into a single crystal is completed, the surface protecting layer 205, which is the silicon oxide film, is etched and removed by buffer hydrofluoric acid solution. At that time, bad influence on the quartz glass substrate can be prevented by the presence of the silicon nitride film layer 202 and the silicon oxide film layer 203.

## ⑫ 公開特許公報(A) 平3-171716

⑤ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)7月25日

H 01 L 21/20  
21/263

7739-5F

9056-5F

H 01 L 29/78

3 1 1 Z※

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 薄膜半導体

⑯ 特 願 平1-311046

⑰ 出 願 平1(1989)11月30日

⑱ 発 明 者 入 野 田 貢 宮城県名取市高館熊野堂字余方上5番地の10 リコー応用  
電子研究所株式会社内⑱ 発 明 者 日 野 威 宮城県名取市高館熊野堂字余方上5番地の10 リコー応用  
電子研究所株式会社内⑱ 発 明 者 佐 藤 幸 人 宮城県名取市高館熊野堂字余方上5番地の10 リコー応用  
電子研究所株式会社内

⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

⑲ 出 願 人 リコー応用電子研究所 宮城県名取市高館熊野堂字余方上5番地の10  
株式会社⑳ 代 理 人 弁理士 友松 英爾  
最終頁に続く

## 明 細 書

## 1. 発明の名称

薄 膜 半 導 体

## 2. 特許請求の範囲

1. 透明石英ガラス基板と単結晶シリコン層との間に窒化シリコン層と酸化シリコン層を介在させたことを特徴とする薄膜半導体。

## 3. 発明の詳細な説明

## (技術分野)

本発明は、透明石英ガラス基板上に単結晶シリコン層をもつ薄膜半導体に関する。

## (従来技術)

画像読み取り用として長尺化した一次元フォトセンサーや、大面積化した二次元フォトセンサー等の画像読み取り装置の走査回路部、液晶(LC)やエレクトロクロミック材料(EC)あるいはエレクトロルミネッセンス材料(EL)を使用した画像表示デバイスの駆動回路部は、それらのデバイスの大型化に伴って、所定の基板上に形成したシリコン薄膜を素材として形成した

薄膜トランジスタを用いることが提案されている。これらのトランジスタ形成に用いるシリコン薄膜としては非晶質あるいは多結晶シリコン薄膜が使用されることが多いが、その理由としてはこれらの材料が大面積基板上に比較的容易に形成できるためである。

近年これらのデバイスへの高速化、高機能化の要求が高まり、それに伴い駆動部の薄膜トランジスタの性能の向上が必要とされるようになってきたが、上記非晶質シリコンあるいは多結晶シリコン薄膜で形成した薄膜トランジスタの移動度は非晶質シリコン薄膜トランジスタで0.1~1.0 $\text{cm}^2/\text{V}\cdot\text{sec}$ 、多結晶シリコントランジスタで1.0~10 $\text{cm}^2/\text{V}\cdot\text{sec}$ 程度であり結晶シリコンで形成されるトランジスタの移動度~600 $\text{cm}^2/\text{V}\cdot\text{sec}$ には到底及ばない。そのため大面積基板上に単結晶シリコン薄膜を形成する必要性が高まっている。

絶縁性材料上に単結晶シリコン薄膜を形成する技術はSOI技術として近年盛んに研究され

ているが多くは集積回路の高性能化を主たる目的として行われてきたので研究の重点がシリコンウェハーを用いた3次元LSIの実現に向けられている。上述の読み取り用あるいは画像表示用デバイスの場合にはその大面積化の要求のためにシリコンウェハー上には形成できず、比較的大面積が形成可能なガラス等を基板材料として用いることが多い。このようなガラス基板上での単結晶シリコン薄膜の形成に関しては研究例が少ないが石英ガラス基板上で多結晶シリコン薄膜を形成し、その上に表面保護層として $\text{SiO}_2$ 層を形成し、 $\text{SiO}_2$ ガラス基板と $\text{SiO}_2$ 表面保護層には含まれた多結晶シリコン層を熔融再結晶化させた場合(特開昭59-79518号)には、(100)配向した単結晶の再結晶化膜が得られる。このような手法は帯域熔融再結晶化法(Zone Melt Recrystallization 法、以下ZMR法と略す)と呼ばれている。多結晶シリコン層を熔融させる方法として、ストリップヒーター法、高周波加熱カーボンサセプタ法、ランプ法、レ

ーザー加熱法等が知られている。

このようにして得られた石英ガラス上のシリコン再結晶化膜を材料としてトランジスタを形成する場合表面保護層である $\text{SiO}_2$ 膜をエッチングにより除去する必要がある。しかしながら表面保護層の $\text{SiO}_2$ 膜は基板に用いている石英ガラスと構造上差が無く保護層 $\text{SiO}_2$ 膜のエッチングにともない基板の石英ガラスもエッチングされる。そのための保護層 $\text{SiO}_2$ 膜を除去したシリコン再結晶化膜は再結晶化膜と石英ガラス基板の間に石英ガラスのエッチングの為に段差を生じ、これが原因となり作成したトランジスタに断線が生じる場合があり、トランジスタの信頼性あるいは歩留り上の問題点であった。また著しい段差が生じないまでも基板石英ガラスのエッチングにより基板の透明性が損なわれたり、あるいは表面性が劣化するなどトランジスタ作成プロセス上はなほだ不都合があった。

#### (目 的)

本発明の目的は、前述のように表面保護膜の

下にある非晶質シリコンあるいは多結晶シリコン層を熔融再結晶化した後、表面保護層をエッチングにより除去する際、石英ガラス基板に悪影響がでるのを防止する点にある。

また、本発明の目的は、表面保護層のエッチングにより段差が発生するのを防止する点にある。

#### (構 成)

本発明の薄膜半導体は透明石英ガラス基板と単結晶シリコン層との間に窒化シリコン層と酸化シリコン層を介在させたことを特徴としている。

第1図-1を参照しつつ本発明の構成要素について述べる。

101は本薄膜半導体材料の基板である透明石英ガラスである。この透明石英ガラス基板は熔融石英あるいは合成石英によって作られ、厚さは通常 $0.3 \sim 5 \text{ mm}$ であり、望ましくは $0.5 \sim 1.5 \text{ mm}$ である。

102は窒化シリコン層である。この層はシリ

コンや窒素を含んだ各種原料ガスを分解することにより成膜するCVD法、あるいはスパッタ法、真空蒸着法等の各種成膜方法やイオン注入法を用いて形成する。この窒化シリコン層は、熔融再結晶化に用いられる酸化シリコンの表面保護膜をエッチングにより除去する時の石英ガラス基板のエッチングストップとなるものであるから、その膜厚は、熔融再結晶化に用いる酸化シリコンの表面保護膜の膜厚と、この表面保護膜を除去する時に用いられるエッチング法における酸化シリコン表面保護膜と窒化シリコン膜とのエッチングレートにより規定されるものであるが、この窒化シリコン膜の主成分である $\text{Si}_3\text{N}_4$ の熱膨張係数は石英ガラスの熱膨張係数に比較して、約10倍大きいので、窒化シリコン膜の膜厚を過剰に厚くすると双方の材料の熱膨張係数の差により生じる応力により窒化シリコン膜が破壊される。そのため基板石英ガラスの保護のために用いられる窒化シリコン膜の膜厚は $0.5 \mu\text{m}$ 以下、望ましくは $0.15 \mu\text{m}$ 以下であ

る。

103は窒化シリコン層の上部に形成された酸化シリコン層である。この層は再結晶化膜を安定に形成させるために必要である。この酸化シリコン膜がなくても窒化シリコン膜により基板石英ガラスはエッチングから保護されるが、熔融再結晶化を行なう時に、熔融シリコンのball up等の現象が頻繁に発生し、安定に再結晶化膜を得ることが困難である。しかし本発明のごとく窒化シリコン膜の上に酸化シリコン膜を形成した場合には、上記のようなball up等の現象が発生せず、窒化シリコン膜がなく直接石英ガラス基板上に再結晶化膜を形成する場合と同様に安定に再結晶化膜を得ることができる。酸化シリコン層はシリコンや酸素を含んだ各種原料ガスを分解することにより成膜するCVD法、あるいはスパッタ法、真空蒸着法等の各種成膜方法やイオン注入法を用いて形成する。膜厚は $0.01\mu\text{m}\sim 0.5\mu\text{m}$ で、望ましくは $0.05\mu\text{m}\sim 0.2\mu\text{m}$ である。

厚は $0.5\mu\text{m}\sim 5\mu\text{m}$ とし、望ましくは $1.0\mu\text{m}\sim 2.0\mu\text{m}$ とする。この酸化シリコンの表面保護層は熔融再結晶化法によりシリコン層を単結晶化した後にエッチングにより除去される。このようにして本発明の薄膜半導体が得られる。

以上のような積層体を熔融再結晶化処理をほどこすことにより多結晶シリコンあるいは非晶質シリコン層を単結晶シリコン層とするが、この際使用される熔融再結晶化の手法は、従来より紹介されている手法のいずれの方法によってもよい。例えば、カーボンサセプタを用いた高周波加熱帯域熔融再結晶化法、あるいはカーボンストリップヒーターを用いた帯域加熱熔融再結晶化法、あるいは線状にビーム成形したレーザーAr等加熱帯域熔融再結晶化法等を用いることができる。

#### 〔実施例〕

以下、本発明の実施例について具体的に説明する。

熔融再結晶化法により単結晶化されるシリコン層104は多結晶シリコン、あるいは非晶質シリコンで構成される。このシリコン層はシリコンを含んだ各種原料ガスを分解することにより成膜するCVD法、あるいはスパッタ法、真空蒸着法等の各種成膜方法を用いて酸化シリコン層上に形成する。膜厚は $0.1\mu\text{m}\sim 5\mu\text{m}$ とし、望ましくは $0.1\mu\text{m}\sim 1.5\mu\text{m}$ とする。この再結晶化されるシリコン層はデバイスを形成する場合の必要に応じてストライプ状等に微細加工される場合もある。

表面保護層105は熔融再結晶化法により、前記多結晶シリコン層や非晶質シリコン層を単結晶シリコン層に変換するための熱処理を行ううえで不可欠なものである。

本発明では表面保護層として酸化シリコンを用いる。形成法としては、シリコンや酸素を含んだ各種原料ガスを分解することにより成膜するCVD法、あるいはスパッタ法、真空蒸着法等の各種成膜方法やイオン注入法等がある。膜

#### 実施例1

第2図を用いて本発明の実施例のひとつを説明する。

基板201には厚さ $1.0\text{mm}$ の合成石英ガラスを用いた。このガラス基板を常法により洗浄し、減圧化学気相成長装置(LPCVD装置)を用いて、窒化シリコン薄膜202及び酸化シリコン薄膜203をこの順で形成した。窒化シリコン薄膜、酸化シリコン薄膜の形成条件、及び膜厚は次の通りである。

##### 1) 窒化シリコン

圧 力： $1.0\text{Torr}$

ガス流量： $\text{SiH}_4$  2 ml/sec  
 $\text{NH}_3$  50 ml/sec

基板温度： $900^\circ\text{C}$

膜 厚： $0.1\mu\text{m}$

##### 2) 酸化シリコン

圧 力： $2.0\text{Torr}$

ガス流量： $\text{SiH}_4$  1 ml/sec  
 $\text{N}_2\text{O}$  50 ml/sec

基板温度： $750^\circ\text{C}$

膜 厚:  $0.03 \mu\text{m}$

続いてこの酸化シリコン層の上にLPCVD装置を用いて熔融再結晶化法により単結晶化されるシリコン層204として多結晶シリコン薄膜を形成した。その膜厚は $0.35 \mu\text{m}$ である。

つぎにこの多結晶シリコン薄膜204をフォトリソグラフィの手法により第3図に示すごとく幅 $100 \mu\text{m}$ のストライプ状に加工した。続いてこの多結晶シリコン204の上にLPCVD装置を用いて熔融再結晶化の時の表面保護層となる酸化シリコン薄膜205を厚さ $1.2 \mu\text{m}$ に形成した。つぎにこの多結晶シリコン薄膜を第5図に示すようなカーボンサセプタ高周波加熱熔融再結晶化装置により単結晶化した。301は試料、302は石英管、303は高周波を印加するためのワークコイル、304はカーボンサセプタ、305は石英支持台、306は試料を移動するための石英製押し棒、307は可変できるモータ駆動による駆動方向を示す。単結晶化が完了した後に表面保護層の酸化シリコン膜は緩衝フッ酸溶液でエッチン

膜 厚:  $0.075 \mu\text{m}$

## 2) 酸化シリコン薄膜の形成条件

圧 力:  $5 \times 10^{-3} \text{ Torr}$

Arガス雰囲気(酸素ガス $0.5 \text{ sccm}$ 導入)

高周波電力:  $5 \text{ W/cm}^2$

基板温度:  $200^\circ\text{C}$

膜 厚:  $0.035 \mu\text{m}$

続いてこの酸化シリコン層の上にスパッタ法を用いて熔融再結晶化法により単結晶化されるシリコン層204として非晶質シリコン薄膜を形成した。その膜厚は $0.5 \mu\text{m}$ である。

次にこの非晶質シリコン薄膜204をフォトリソグラフィの手法により第3図に示すごとく幅 $100 \mu\text{m}$ のストライプ状に加工した。続いてこの非晶質シリコン204の上にスパッタ法を用いて熔融再結晶化の時の表面保護層となる酸化シリコン薄膜305を厚さ $1.5 \mu\text{m}$ に形成した。つぎにこの非晶質シリコン薄膜を第6図に示すようなArレーザー光を用いた熔融再結晶化装置により単結晶化する。501はArレーザー、502は

グすることにより除去した。以上の方法で本発明が開示する薄膜半導体が得られる。

## 実施例2

第2図を用いて本発明の他の実施例を説明する。

基板201は厚さ $1.6 \text{ mm}$ の熔融石英ガラスを用いた。このガラス基板を常法により洗浄し、イオンビームアシスト高周波スパッタ法を用いて窒化シリコン薄膜202を、また高周波スパッタ法により酸化シリコン薄膜203をこの順で形成した。窒化シリコン薄膜、酸化シリコン薄膜の形成条件、及び膜厚は次の通りである。

### 1) 窒化シリコン薄膜の形成条件

圧 力:  $3 \times 10^{-3} \text{ Torr}$

$\text{N}_2$ ガス雰囲気

高周波電力:  $5 \text{ W/cm}^2$

基板温度:  $400^\circ\text{C}$

$\text{N}_2$ イオン照射条件

加速電圧:  $1000 \text{ V}$

電流密度:  $0.25 \text{ mA/cm}^2$

シリンドリカルレンズ、503は試料、504は試料移動ステージ、505はコントローラである。再結晶化が完了した後に表面保護層の酸化シリコン膜は緩衝フッ酸溶液でエッチングすることにより除去した。以上の方法で本発明が開示する薄膜半導体が得られる。

## 実施例3

第2図を用いて本発明の他の実施例を説明する。

基板201は厚さ $1.0 \text{ mm}$ の合成石英ガラスを用いた。このガラス基板にイオン注入法を用いて窒化シリコン膜202および酸化シリコン膜203を形成した。形成の手順は以下の通りである。

石英ガラス基板を常法により洗浄し、LPCVD法により多結晶シリコン薄膜を $0.1 \mu\text{m}$ の厚さで成膜し、窒素イオンを加速電圧 $30 \text{ keV}$ 、ドーズ量 $2.4 \times 10^{17} / \text{cm}^2$ で注入した。ついで、LPCVD法により多結晶シリコン薄膜を $0.05 \mu\text{m}$ の厚さで成膜し、酸素イオンを加速電圧 $10 \text{ keV}$ 、ドーズ量 $2 \times 10^{18} / \text{cm}^2$ で注入した。注入後の試

料は不活性雰囲気中で1000℃、2時間炉中アニール処理した。SIMSによる分析の結果この基板の表面から0.07 $\mu$ mの深さまで酸化シリコンであることが判かった。このような手順で作成した基板の上にプラズマCVDの手法を用いて非晶質シリコン薄膜204を形成した。その膜厚は0.5 $\mu$ mである。

次にこの非晶質シリコン薄膜204をフォトリソグラフィの手法により第4図(A),(B)に示すごとく、100 $\mu$ m $\times$ 100 $\mu$ mのビットが200 $\mu$ ピッチでなれば、各ビットが幅20 $\mu$ mのストライプでつながれる連結島状パターンに加工する。

次に前記非晶質シリコン薄膜204上に表面保護層205として酸化シリコンをEB蒸着法により膜厚2.0 $\mu$ mで形成する。

以上の方法で作成した薄膜半導体を第6図に示すようなArレーザーを用いた熔融再結晶化装置により単結晶化する。再結晶が完了した後表面保護層の酸化シリコン膜はCF<sub>4</sub>を用いたプラズマエッチングで除去した。以上の方法

で本発明が開示する薄膜半導体が得られた。

以上3つの実施例により得られたシリコンの単結晶薄膜半導体、及び比較のために本発明のように基板保護のための窒化シリコン膜層、及び酸化シリコン膜層を形成しないで透明石英ガラス基板上に作成した熔融再結晶化法による単結シリコン薄膜半導体について

- ① 透明石英基板の透明度
- ② 基板上に生じた段差
- ③ デバイス形成時の配線の断線

の3項について評価した。

各々の項目の評価法としては、①の透明度については、波長5145ÅのArレーザー光の透過率を測定することで評価した。②の段差については、再結晶化シリコン層をエッチングにより除去し、基板上に発生している段差を触針式の段差計により計測し段差の平均値と最大値を比較した。③ 20mm $\times$ 20mmの大きさの基板中にMOSトランジスタを通常の手法で100個製作し、配線中に断線が生じているものをかぞえあげた。

評価結果を表-1に示す。本発明が開示するような構成をとらないシリコンの薄膜半導体材料は、石英ガラス基板の透明度が悪く、基板内に最大1.2 $\mu$ mもの段差が発生しており、かつ、このような基板上に作成したMOSトランジスタには多数配線の断線が生じている。これに対して、本発明の実施例はそれぞれの場合において、基板は良好な透明度を保ち、基板内の段差も少なく、またこれらの基板を用いて作成したMOSトランジスタにおける断線は皆無であった。

表 - 1

	$\lambda=5145\text{Å}$ の 光の透過率	基板内の段差	断線による トランジスタ不良率
実施例1	99%以上	最大 100Å 平均 50Å	○
実施例2	99%以上	最大 120Å 平均 70Å	○
実施例3	99%以上	最大 70Å 平均 45Å	○
本発明の構成 をとらない薄 膜半導体	87%	最大 1.2 $\mu$ 平均 1.05 $\mu$	25%

#### 〔効果〕

本発明による薄膜半導体は透明石英ガラス基板上に窒化シリコン膜及び酸化シリコン膜が形成されており、この窒化シリコン膜が、熔融再結晶化法により単結晶シリコン薄膜を形成した後酸化シリコンの表面保護層をエッチング等により除去する時、透明石英基板がエッチングされることを防ぐことができるので、透明石英基板の透明度の劣化を防止し、また基板上に段差が発生することを防ぎ、さらにはこの薄膜半導体を用いてデバイスを作成するさいに配線の断線を防ぎ、デバイスの信頼性と歩留を向上させることができる。

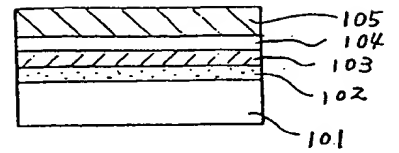
#### 4. 図面の簡単な説明

第1図は、多結晶シリコン層または非晶質シリコン層104をストライプ状に加工しない場合の積層構造物の断面図であり、第2図は、多結晶シリコン層または非晶質シリコン層104をストライプ状に加工した場合の積層構造物の断面図である。第3図および第4図は、前記ストラ

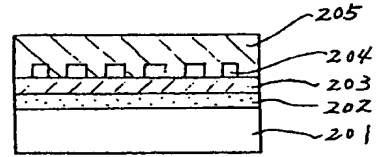
イブ状の形態の具体例を示すものである。第3図、第4図(A)はその平面図であり、第4図(B)はその断面図である。第5図は、カーボンサセプタ高周波加熱熔融再結晶化装置を示し、第6図は、Arレーザー光を用いた熔融再結晶化装置を示す。

特許出願人 株式会社 リコー 外1名  
代理人 弁理士 友松英爾

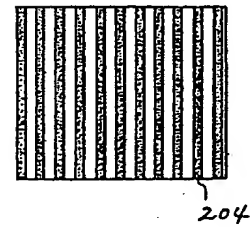
第1図



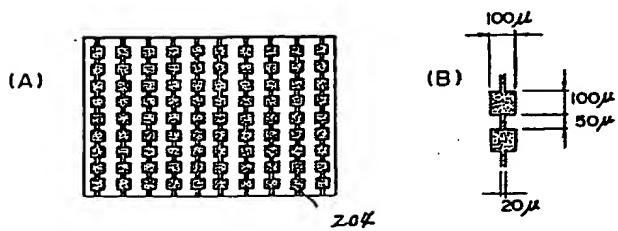
第2図



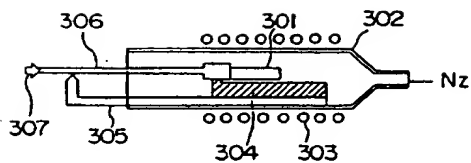
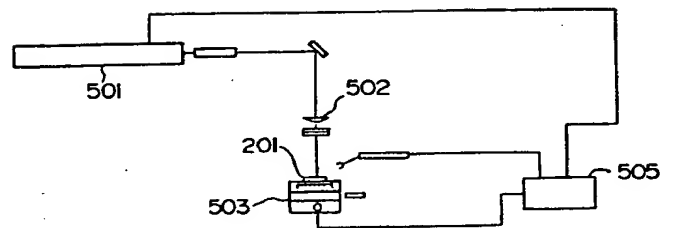
第3図



第4図



第6図



第5図



第1頁の続き

⑤Int. Cl. 5

識別記号 庁内整理番号

H 01 L 21/336  
29/784

⑦発明者 大 高 剛 一 宮城県名取市高館熊野堂字余方上5番地の10 リコー応用  
電子研究所株式会社内